

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

THIS PAGE BLANK (USPTO)

[MENU](#)[SEARCH](#)[INDEX](#)[BACK](#)[NEXT](#)

2/3

**JAPANESE PATENT OFFICE****PATENT ABSTRACTS OF JAPAN**(11)Publication number: **09134227**(43)Date of publication of application: **20.05.1997**

(51)Int.Cl.

**G06F 1/10
G06F 13/42**(21)Application number: **07290014**

(71)Applicant:

**MITSUBISHI ELECTRIC CORP
MITSUBISHI DENKI SEMICONDUCTOR
SOFTWARE KK**(22)Date of filing: **08.11.1995**

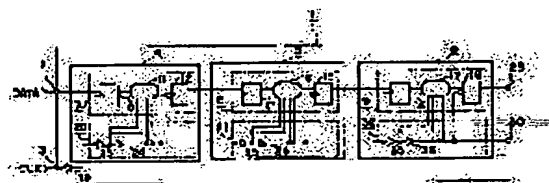
(72)Inventor:

**YAMASHITA SHINJI
INADA YOSHIHIRO
NISHIMOTO MIKI****(54) CLOCK SIGNAL SUPPLY CIRCUIT**

(57)Abstract:

PROBLEM TO BE SOLVED: To attain the accurate input/output of data among plural blocks by distributing the clock signals to be supplied to the flip-flop of the final stage of one of those blocks to other blocks where the data are inputted from the preceding specific block.

SOLUTION: A driver 19 receives the clock signals CLK from a clock input terminal 3 and supplies them to a tree circuit 20 of a block 4. Receiving the signals CLK, the circuit 20 distributes these signals to the flip-flops 10 and 12 of the block 4 and also to the flip-flop of a logic circuit 11. The circuit 20 also supplies the signal CLK to a tree circuit 31 of a block 5. Thus the accurate input/output of data is secured among the blocks 4, 5 and 6 respectively.

**LEGAL STATUS**

AH

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-134227

(43) 公開日 平成9年(1997)5月20日

(51) Int.Cl.*	識別記号	序内整理番号	F I	技術表示箇所
G 0 6 F 1/10			G 0 6 F 1/04	3 3 0 A
13/42	3 5 0		13/42	3 5 0 A

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号 特願平7-290014

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(22) 出願日 平成7年(1995)11月8日

(71) 出願人 391024515

三菱電機セミコンダクタソフトウェア株式会社

兵庫県伊丹市中央3丁目1番17号

(72) 発明者 山下 伸二

兵庫県伊丹市中央3丁目1番17号 三菱電機セミコンダクタソフトウェア株式会社内

(74) 代理人 弁理士 宮山 金雄 (外3名)

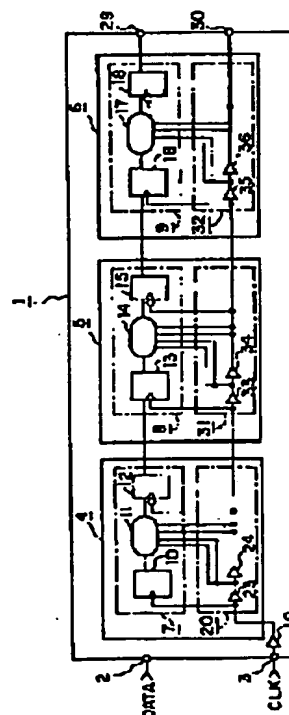
最終頁に続く

(54) 【発明の名称】 クロック信号供給回路

(57) 【要約】

【課題】 各ブロック4、5、6の回路規模が大きくなって遅れfが大きくなる場合や、クロック信号CLKの周波数が高くなってパルス幅が小さくなる場合には、各ブロック4、5、6間で正確にデータの入出力が行われなくなるなどの課題があった。

【解決手段】 ブロック5に係る各フリップフロップ13等に対して、ブロック4の最終段のフリップフロップ12に供給されるクロック信号CLKを分配するようにしたものである。



1: IC (集積回路) 12, 15: フリップフロップ
2: データ入力端子 19: ドライバ (クロック信号入力手段)
3: クロック入力端子 20: ツリー回路 (第1のクロック信号分配手段)
4, 5, 6: ブロック 31, 32: ツリー回路 (第2のクロック信号分配手段)

1

【特許請求の範囲】

【請求項1】 クロック入力端子からクロック信号を入力するクロック信号入力手段と、クロック信号の立ち上がりエッジでデータを入力する一方、クロック信号の立ち下がりエッジでデータを出力する集積回路の各ブロックのうち、データ入力端子からデータを入力するブロックに対して、上記クロック信号入力手段により入力されたクロック信号を分配する第1のクロック信号分配手段と、上記複数のブロックのうち、他のブロックが出力するデータを入力するブロックに対して、当該他のブロックの最終段のフリップフロップに供給されるクロック信号を分配する第2のクロック信号分配手段とを備えたクロック信号供給回路。

【請求項2】 データ入力端子から入力されるデータが他の集積回路から出力されるデータである場合、クロック信号入力手段は当該他の集積回路の最終段のフリップフロップに供給されるクロック信号を入力することを特徴とする請求項1記載のクロック信号供給回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、クロック信号にしたがって動作する集積回路にクロック信号を供給するクロック信号供給回路に関するものである。

【0002】

【従来の技術】図5は従来のクロック信号供給回路を示す回路図であり、図において、1は集積回路（以下、ICという）、2はIC1のデータ入力端子、3はIC1のクロック入力端子、4、5、6はIC1の機能に応じて分割されたブロック、7、8、9は各ブロック4、5、6の論理回路、10はクロック信号CLKの立ち上がりエッジでデータを入出力する論理回路7のフリップフロップ、11は複数のフリップフロップ等から構成され、所定の演算等を行う論理回路7のロジック回路、12はクロック信号CLKの立ち下がりエッジでデータを入出力する論理回路7の最終段のフリップフロップである。

【0003】また、13はクロック信号CLKの立ち上がりエッジでデータを入出力する論理回路8のフリップフロップ、14は複数のフリップフロップ等から構成され、所定の演算等を行う論理回路8のロジック回路、15はクロック信号CLKの立ち下がりエッジでデータを入出力する論理回路8の最終段のフリップフロップ、16はクロック信号CLKの立ち上がりエッジでデータを入出力する論理回路9のフリップフロップ、17は複数のフリップフロップ等から構成され、所定の演算等を行う論理回路9のロジック回路、18はクロック信号CLKの立ち下がりエッジでデータを入出力する論理回路9の最終段のフリップフロップである。

【0004】また、19はクロック入力端子3からクロック信号CLKを入力するドライバ、20、21、22

2

は複数のドライバによってツリー構造が構成され、回路7、8、9の各フリップフロップに対して、ドライバ19により入力されたクロック信号CLKを分配するツリー回路、23、24はツリー回路20のドライバ、25、26はツリー回路21のドライバ、27、28はツリー回路22のドライバ、29はIC1のデータ出力端子、30はIC1のクロック出力端子である。

【0005】次に動作について説明する。まず、IC1の構成及び動作を簡単に説明すると、IC1は機能に応じて3つのブロック4、5、6に分割されている。そして、この例では、ブロック4が外部から取り込んだデータに基づいて所定の演算等を行い、その演算結果に基づいてブロック5が所定の演算等を行い、さらに、その演算結果に基づいてブロック6が所定の演算等を行い、その演算結果を外部に出力する構成となっている。即ち、各ブロック4、5、6の各フリップフロップが、クロック入力端子3から入力されたクロック信号CLKに同期してデータを入出力することにより、ロジック回路11、14、17が所定の演算等を行い、その演算結果を出力する構成となっている。

【0006】以下、各ブロック間で入出力されるデータとクロック信号CLKの関係について説明する。まず、ドライバ19がクロック入力端子3からクロック信号CLKを入力し、各ブロック4、5、6のツリー回路20、21、22に供給する。そして、クロック信号CLKが供給されると、ツリー回路20、21、22が自己のブロック内にあるフリップフロップ（例えば、ブロック4であれば、フリップフロップ10、12とロジック回路11内にあるフリップフロップ）に対して、そのクロック信号CLKを分配する。

【0007】しかし、各フリップフロップの仕様は必ずしも様でないので（例えば、あるフリップフロップによれば、20mAの電流量を有するクロック信号が供給されなければ動作しないが、あるフリップフロップによれば、10mAの電流量を有するクロック信号が供給されれば動作する等の仕様の相違がある）、ツリー回路20、21、22は、各フリップフロップの仕様を満足させるため、ドライバ23、24等によってツリー構造を構成することにより、クロック信号CLKの電流量を調整し（ドライバは入力した信号の電流量を調整して出力する機能を有している）、各フリップフロップの仕様を満足するクロック信号CLKを分配する。

【0008】そして、ツリー回路20、21、22からクロック信号CLKが分配されると、各ブロック4、5、6のフリップフロップ10、13、16が、そのクロック信号CLKの立ち上がりエッジでデータを入力し、最終段のフリップフロップ12、15、18がクロック信号CLKの立ち下がりエッジでデータを出力する。ここで、ブロック4（論理回路7）の最終段のフリップフロップ12とブロック5（論理回路8）のフリッ

3

ブフリップ13に着目すると、図6に示すように、各ブロック4、5、6には(B)に示すタイミングでクロック信号CLKが供給されるので、フリップフロップ13は(B)のクロック信号CLKにしたがって動作することになる。一方、フリップフロップ12には(C)に示すタイミングでクロック信号CLKが供給されるので、フリップフロップ12は(C)のクロック信号CLKにしたがって動作することになる。

【0009】従って、(B)のクロック信号CLKに対する(C)のクロック信号CLKの遅れ f が僅かであれば(ドライバ19とフリップフロップ12の間にツリー回路20が存在するため、(C)のクロック信号CLKは(B)のクロック信号CLKより時間 f だけ遅延することになる)、フリップフロップ12がクロック信号CLKの立ち下がりエッジ d で出力したデータを、フリップフロップ13がクロック信号CLKの立ち上がりエッジ e でデータを入力するまでに、ある程度余裕のある時間 g を確保できるので、クロックスキューが発生することなく、フリップフロップ13はフリップフロップ12から確実にデータを受け取ることができる。

【0010】しかしながら、(B)のクロック信号CLKに対する(C)のクロック信号CLKの遅れ f が大きくなり、遅れ f がクロック信号CLKのパルス幅 h より大きくなると、図7に示すように、フリップフロップ12がクロック信号CLKの立ち下がりエッジ d で出力したデータを、フリップフロップ13はクロック信号CLKの立ち上がりエッジ e ではデータを入力することができず、クロックスキューが発生する。即ち、遅れ f が小さいときと同じタイミングでデータを入力することができないので(1パルス後のクロック信号CLKの立ち上がりエッジ j で入力することになる)、クロックスキューが発生したことになる。従って、ツリー回路20、21、22のツリー構造を設計する際、少なくとも遅れ f がクロック信号CLKのパルス幅 h より小さくなるように設計する必要がある。因に、図中、 i は(A)のクロック信号CLKに対する(B)のクロック信号CLKの遅れを示す(クロック入力端子3と各ブロック4、5、6の間にドライバ19が存在するため、(B)のクロック信号CLKは(A)のクロック信号CLKより時間 i だけ遅延することになる)。

【0011】以上で明らかなように、遅れ f がクロック信号CLKのパルス幅 h より小さくなるように設計された場合には、各ブロック4、5、6間でクロックスキューが発生することなく、ブロック4の出力に基づいてブロック5が所定の演算等を行い、また、ブロック5の出力に基づいてブロック6が所定の演算等を行い、ブロック6から適正なデータが出力されることになる。

【0012】

【発明が解決しようとする課題】従来のクロック信号供給回路は以上のように構成されているので、フリップフ

4

リップ12、15に供給されるクロック信号CLKの遅れ f がクロック信号CLKのパルス幅 h より小さい場合には、各ブロック4、5、6間でクロックスキューが発生することなく、各ブロック4、5、6間で正確にデータの入出力が行われるが、遅れ f がクロック信号CLKのパルス幅 h より大きい場合には、各ブロック間でクロックスキューが発生するので、各ブロック4、5、6の回路規模が大きくなって遅れ f が大きくなる場合や、クロック信号CLKの周波数が高くなってパルス幅 h が小さくなる場合には、各ブロック4、5、6間で正確にデータの入出力が行われなくなるなどの課題があった。

【0013】この発明は上記のような課題を解決するためになされたもので、各ブロックの回路規模及びクロック信号の周波数に影響されず、常に、各ブロック間での正確なデータの入出力を可能にするクロック信号を供給できるクロック信号供給回路を得ることを目的とする。

【0014】

【課題を解決するための手段】請求項1記載の発明に係るクロック信号供給回路は、複数のブロックのうち、他のブロックが出力するデータを入力するブロックに対して、当該他のブロックの最終段のフリップフロップに供給されるクロック信号を分配するようにしたものである。

【0015】請求項2記載の発明に係るクロック信号供給回路は、データ入力端子から入力されるデータが他の集積回路から出力されるデータである場合、当該他の集積回路の最終段のフリップフロップに供給されるクロック信号を入力するようにしたものである。

【0016】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1によるクロック信号供給回路を示す回路図であり、図において、1はIC(集積回路)、2はIC1のデータ入力端子、3はIC1のクロック入力端子、4、5、6はIC1の機能に応じて分割されたブロック、7、8、9は各ブロック4、5、6の論理回路、10はクロック信号CLKの立ち上がりエッジでデータを入出力する論理回路7のフリップフロップ、11は複数のフリップフロップ等から構成され、所定の演算等を行う論理回路7のロジック回路、12はクロック信号CLKの立ち下がりエッジでデータを入出力する論理回路7の最終段のフリップフロップである。

【0017】また、13はクロック信号CLKの立ち上がりエッジでデータを入出力する論理回路8のフリップフロップ、14は複数のフリップフロップ等から構成され、所定の演算等を行う論理回路8のロジック回路、15はクロック信号CLKの立ち下がりエッジでデータを入出力する論理回路8の最終段のフリップフロップ、16はクロック信号CLKの立ち上がりエッジでデータを

人出力する論理回路9のフリップフロップ、17は複数のフリップフロップ等から構成され、所定の演算等を行う論理回路9のロジック回路、18はクロック信号CLKの立ち下がりエッジでデータを入出力する論理回路9の最終段のフリップフロップである。

【0018】また、19はクロック入力端子3からクロック信号CLKを入力するドライバ（クロック信号入力手段）、20は複数のドライバによってツリー構造が構成され、論理回路7の各フリップフロップに対して、ドライバ19により入力されたクロック信号CLKを分配するツリー回路（第1のクロック信号分配手段）、23、24はツリー回路20のドライバ、29はIC1のデータ出力端子、30はIC1のクロック出力端子である。

【0019】また、31は複数のドライバによってツリー構造が構成され、論理回路8の各フリップフロップに対して、ブロック4の最終段のフリップフロップ12に供給されるクロック信号CLKを分配するツリー回路（第2のクロック信号分配手段）、32は複数のドライバによってツリー構造が構成され、論理回路9の各フリップフロップに対して、ブロック5の最終段のフリップフロップ15に供給されるクロック信号CLKを分配するツリー回路（第2のクロック信号分配手段）、33、34はツリー回路31のドライバ、35、36はツリー回路32のドライバである。

【0020】次に動作について説明する。まず、IC1の構成及び動作を簡単に説明すると、IC1は機能に応じて3つのブロック4、5、6に分割されている。そして、この例では、ブロック4が外部から取り込んだデータに基づいて所定の演算等を行い、その演算結果に基づいてブロック5が所定の演算等を行い、さらに、その演算結果に基づいてブロック6が所定の演算等を行い、その演算結果を外部に出力する構成となっている。即ち、各ブロック4、5、6の各フリップフロップが、クロック入力端子3から入力されたクロック信号CLKに同期してデータを入出力することにより、ロジック回路11、14、17が所定の演算等を行い、その演算結果を出力する構成となっている。

【0021】以下、各ブロック間で入出力されるデータとクロック信号CLKの関係について説明する。まず、ドライバ19がクロック入力端子3からクロック信号CLKを入力し、ブロック4のツリー回路20に供給する。そして、クロック信号CLKが供給されると、ツリー回路20がブロック4内にあるフリップフロップ（フリップフロップ10、12とロジック回路11内にあるフリップフロップ）に対してそのクロック信号CLKを分配するとともに、ブロック5のツリー回路31に対してそのクロック信号CLKを供給する。

【0022】しかし、各フリップフロップの仕様は必ずしも一様でない（例えば、あるフリップフロップに

よれば、20mAの電流量を有するクロック信号が供給されなければ動作しないが、あるフリップフロップによれば、10mAの電流量を有するクロック信号が供給されれば動作する等の仕様の相違がある）、ツリー回路20は、各フリップフロップの仕様を満足させるため、ドライバ23、24等によってツリー構造を構成することにより、クロック信号CLKの電流量を調整し（ドライバは入力した信号の電流量を調整して出力する機能を有している）、各フリップフロップの仕様を満足するクロック信号CLKを分配する。このようにして、ツリー回路20からクロック信号CLKが分配されると、ブロック4のフリップフロップ10が、そのクロック信号CLKの立ち上がりエッジでデータを入力し、フリップフロップ12がクロック信号CLKの立ち下がりエッジでデータを出力する。

【0023】一方、ツリー回路20からクロック信号CLKの供給を受けたツリー回路31は、ツリー回路20と同様にクロック信号CLKの電流量を調整して、ブロック5内にあるフリップフロップ（フリップフロップ13、15とロジック回路14内にあるフリップフロップ）に対してそのクロック信号CLKを分配するとともに、ブロック6のツリー回路32に対してそのクロック信号CLKを供給する。そして、ツリー回路31からクロック信号CLKが分配されると、ブロック5のフリップフロップ13が、そのクロック信号CLKの立ち上がりエッジでデータを入力し、フリップフロップ15がクロック信号CLKの立ち下がりエッジでデータを出力する。

【0024】また、ツリー回路31からクロック信号CLKの供給を受けたツリー回路32は、ツリー回路31と同様にクロック信号CLKの電流量を調整して、ブロック6内にあるフリップフロップ（フリップフロップ16、18とロジック回路17内にあるフリップフロップ）に対してそのクロック信号CLKを分配するとともに、クロック出力端子30からそのクロック信号CLKを出力する。そして、ツリー回路32からクロック信号CLKが分配されると、ブロック6のフリップフロップ16が、そのクロック信号CLKの立ち上がりエッジでデータを入力し、フリップフロップ18がクロック信号CLKの立ち下がりエッジでデータを出力する。

【0025】ここで、ブロック4（論理回路7）の最終段のフリップフロップ12とブロック5（論理回路8）のフリップフロップ13に着目すると、図1からも明らかなように、フリップフロップ12とフリップフロップ13は同じタイミングのクロック信号CLKが供給される。即ち、ブロック4には図2の（B）に示すタイミングのクロック信号CLKが供給され、ブロック5には図2の（C）に示すタイミングのクロック信号CLKが供給されるが、ブロック4にはツリー回路20があるので、（C）のクロック信号CLKは（B）のクロック信

10

20

30

40

50

7

りCLKより時間fだけ遅れることになる。しかしながら、ブロック5に供給されるクロック信号CLKは、ブロック4の最終段のフリップフロップ12に供給されるクロック信号CLK（時間fの遅延を有するクロック信号CLK）と同一であるので、フリップフロップ12とフリップフロップ13には（C）のクロック信号CLKが供給される。

【0026】従って、フリップフロップ12がクロック信号CLKの立ち下がりエッジでデータを出力した場合には、フリップフロップ13は常にクロック信号CLKの立ち上がりエッジでそのデータを入力することになるので、フリップフロップ12がデータを出力してからフリップフロップ13がデータを入力するまでの時間gは、遅延時間fと関係なく、常に、クロック信号CLKのパルス幅hと一致する。これにより、遅延時間fが大きくなっても、常に、データを確実に読むのに十分な時間gを確保できるので、クロックスキューが発生することなく、フリップフロップ13はフリップフロップ12から確実にデータを受け取ることができる。

【0027】以上で明らかなように、この実施の形態1によれば、ブロック5（または6）に係る各フリップフロップに対して、ブロック4（または5）の最終段のフリップフロップ12（または15）に供給されるクロック信号CLKを分配するようにしたので、フリップフロップ12（または15）がデータを出力してからフリップフロップ13（または16）がデータを入力するまでの時間gが、遅延時間fと関係なく、常に、クロック信号CLKのパルス幅hと一致するようになる。従って、従来のように遅延時間fとクロック信号CLKの関係を考慮する必要がないので、ブロック4（または5）の回路規模及びクロック信号CLKの周波数を制限することなく、フリップフロップ13（または16）はフリップフロップ12（または15）から確実にデータを受け取ることができる効果を奏する。

【0028】実施の形態2。図3はこの発明の実施の形態2によるクロック信号供給回路を示す回路図であり、図において、1Aは図1のIC1と同様のIC（他の集積回路）、1BはIC1Aが出力するデータ及びクロック信号CLKを入力するIC（集積回路）である。

【0029】次に動作について説明する。上記実施の形態1では、IC1の各ブロック間で発生するクロックスキューを防止することを目的に為されたものであるが、図4に示すように、複数のIC1Aを直列に接続して、後段のIC1Aが前段のIC1Aのデータ出力端子29から出力されたデータを入力するとともに、双方のIC1Aが外部から同一のクロック信号CLKを入力するように構成した場合、各ブロック間で発生するクロックスキューと同様の理由により、前段のIC1Aと後段のIC1A間でクロックスキューが発生する可能性がある。

【0030】そこで、この実施の形態2では、図3に示

8

すように、後段のIC1Bは前段のIC1Aのクロック出力端子30から出力されたクロック信号CLKを入力するようにしたものである。これにより、IC1Bのフリップフロップ10に供給されるクロック信号CLKは、IC1Aの最終段のフリップフロップ18に供給されるクロック信号CLKより時間iだけ遅れたタイミングのクロック信号CLKとなるが（IC1Bのクロック入力端子3とフリップフロップ10の間にドライバ19があるため時間iだけ遅延する）、IC1Aの最終段のフリップフロップ18がデータを出力してから（クロック信号CLKの立ち下がりエッジ）、IC1Bのフリップフロップ10がデータを入力する（クロック信号の立ち上がりエッジ）までの時間は、IC1A全体の遅延時間f（IC1Aの各ツリー回路20、31、32の遅延時間の合計）と関係なく、常に、クロック信号CLKのパルス幅hからドライバ19の遅延時間iを差し引いた時間h-iとなる。

【0031】従って、IC1Bのフリップフロップ10は、遅延時間fが大きくなっても、常に、データを確実に読むのに十分な時間h-iを確保できるので（ドライバ19の遅延時間iは、通常クロック信号CLKのパルス幅hより十分小さい為）、IC1AとIC1Bの間でクロックスキューが発生することなく、IC1Bのフリップフロップ10はIC1Aの最終段のフリップフロップ18から確実にデータを受け取ることができる。

【0032】

【発明の効果】以上のように、請求項1記載の発明によれば、複数のブロックのうち、他のブロックが出力するデータを入力するブロックに対して、当該他のブロックの最終段のフリップフロップに供給されるクロック信号を分配するように構成したので、ブロックの回路規模及びクロック信号の周波数を制限することなく、各ブロック間で確実にデータの入出力を行うことができる効果がある。

【0033】請求項2記載の発明によれば、データ入力端子から入力されるデータが他の集積回路から出力されるデータである場合、当該他の集積回路の最終段のフリップフロップに供給されるクロック信号を入力するように構成したので、各集積回路間におけるクロックスキューの発生を防止することができ、従って、各集積回路間で確実にデータの入出力を行うことができる効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるクロック信号供給回路を示す回路図である。

【図2】 クロック信号CLKが各部に入力されるタイミングを示す説明図である。

【図3】 この発明の実施の形態2によるクロック信号供給回路を示す回路図である。

【図4】 この発明の実施の形態2を説明するための回

路図である。

【図5】 従来のクロック信号供給回路を示す回路図である。

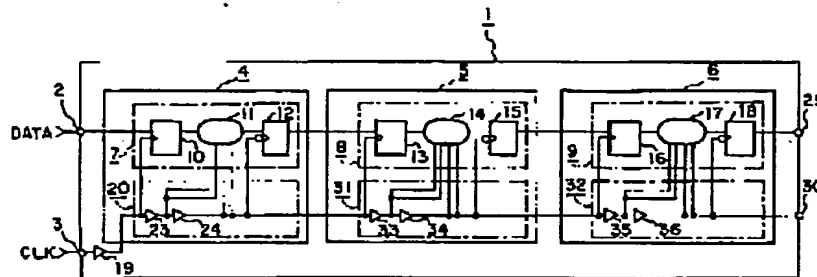
【図6】 クロック信号CLKが各部に入力されるタイミングを示す説明図である。

【図7】 クロック信号CLKが各部に入力されるタイミングを示す説明図である。

【符号の説明】

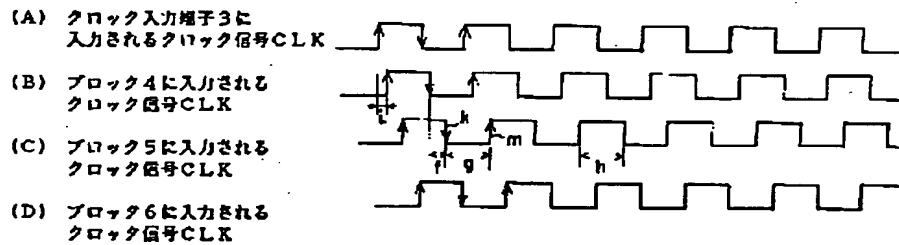
1, 1B IC (集積回路)、1A IC (他の集積回路)、2 データ入力端子、3 クロック入力端子、4, 5, 6 ブロック、12, 15 フリップフロップ、19 ドライバ (クロック信号入力手段)、20 ツリー回路 (第1のクロック信号分配手段)、31, 32 ツリー回路 (第2のクロック信号分配手段)。

【図1】

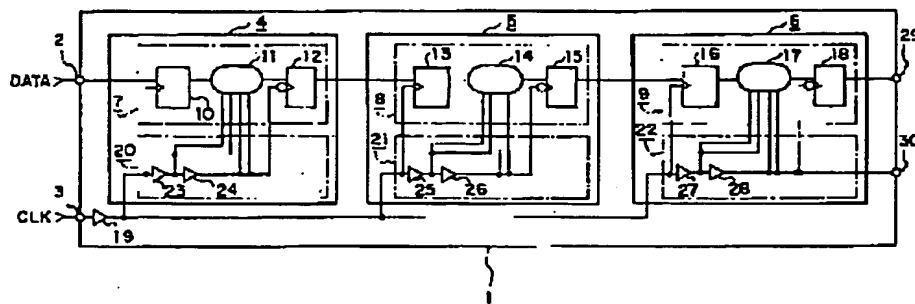


- | | |
|---------------|-------------------------------|
| 1: IC (集積回路) | 12, 15: フリップフロップ |
| 2: データ入力端子 | 19: ドライバ (クロック信号入力手段) |
| 3: クロック入力端子 | 20: ツリー回路 (第1のクロック信号分配手段) |
| 4, 5, 6: ブロック | 31, 32: ツリー回路 (第2のクロック信号分配手段) |

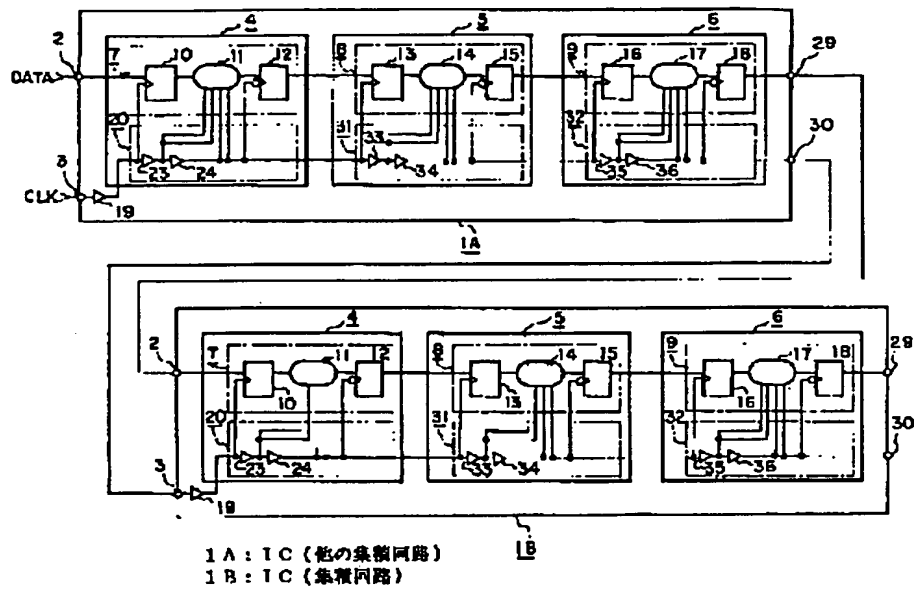
【図2】



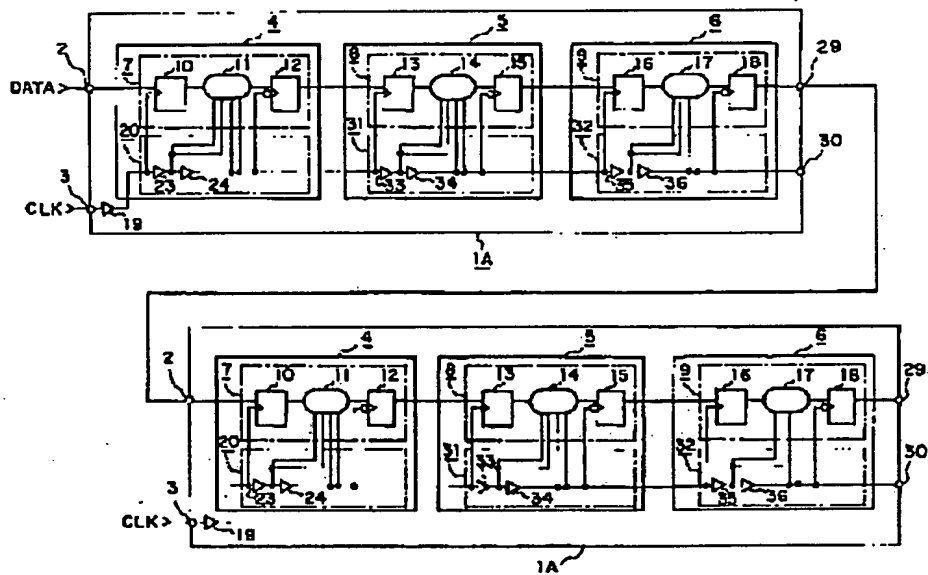
【図3】



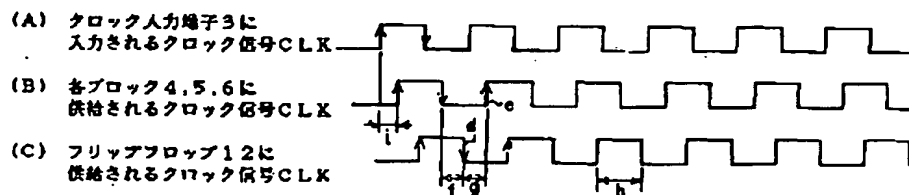
【図3】



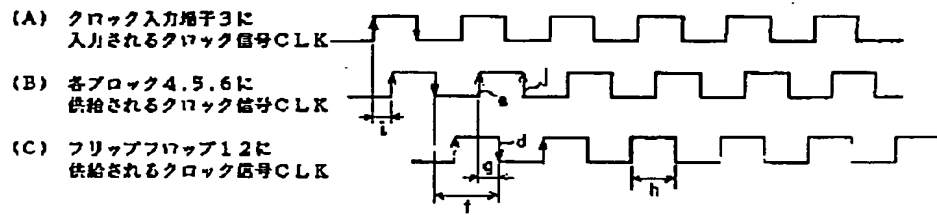
【図4】



【図6】



【図7】



フロントページの続き

(72)発明者 稲田 幸弘
兵庫県伊丹市中央3丁目1番17号 三菱電
機セミコンダクタソフトウェア株式会社内

(72)発明者 西本 美樹
兵庫県伊丹市中央3丁目1番17号 三菱電
機セミコンダクタソフトウェア株式会社内